

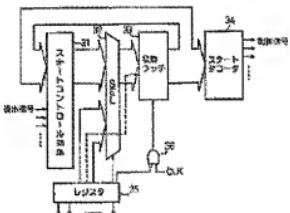
STATE MACHINE AND COMMUNICATION CONTROL SYSTEM

Publication number: JP8087462
Publication date: 1996-04-02
Inventor: KUROIWA KOICHI; TANIGUCHI SHOJI
Applicant: FUJITSU LTD
Classification:
- International: G06F13/00; H04L29/02; G06F13/00; H04L29/02; (IPC1-7); G06F13/00; H04L29/02
- European:
Application number: JP19940224655 19940920
Priority number(s): JP19940224655 19940920

[Report a data error here](#)

Abstract of JP8087462

PURPOSE: To actualize the state machine which can easily be tested and to lighten the load on the microcomputer of a communication terminal device. **CONSTITUTION:** A state transition control circuit which is equipped with a latch means 33 for holding data showing a transition state and a state control means 31 generating data showing a next state of transition according to the transition state and detection signal that the latch means 33 outputs and allows sequential transition of states by latching data outputted by a state control means 31 by the latch means 33 according to a clock signal is equipped with a state data input means which inputs the data showing the transition state directly from outside, a switching means 32 which performs the switching of the data showing the next state of transition to be inputted to the latch means 33 between the data outputted by the state control circuit 31 and the data outputted by the state data input means, and a control data input means which inputs control data for controlling the switching of the switching means 32 for outside.



(51) Int.Cl.⁸
 G 0 6 F 13/00
 H 0 4 L 29/02

識別記号 3 5 3 B
 実用新案登録番号 7368-5E

F I

技術表示箇所

9371-5K

H 0 4 L 13/ 00

3 0 1 Z

(21)出願番号 特願平6-224655

(22)出願日 平成6年(1994)9月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 黒岩 功一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(73)発明者 谷口 章二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

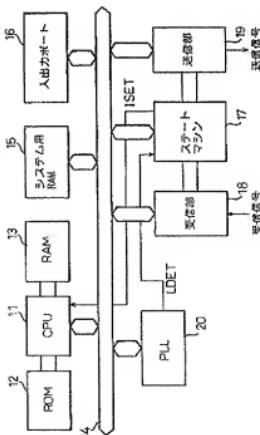
(54)【発明の名称】 ステートマシン及び通信制御方式

(57)【要約】

【目的】 試験の容易なステートマシンが実現と共に、通信端末装置におけるマイクロコンピュータの負担の低減を目的とする。

【構成】 遷移状態を示すデータを保持するラッチ手段3と、ラッチ手段3の出力する遷移状態と検出信号に従って、次に遷移する状態を示すデータを生成するステートコントロール手段31とを備え、ラッチ手段3はステートコントロール手段31の出力するデータをクロック信号に従ってラッヂすることで順次状態が遷移する状態遷移制御回路において、外部から直後遷移状態を示すデータを入力する状態データ入力手段と、ラッチ手段に入力する次の遷移状態を示すデータを、ステートコントロール手段の出力するデータと、状態データ入力手段の出力するデータの間で切り換える切り換え手段32と、切り換え手段の切り換えを制御するデータを外部から入力する制御データ入力手段とを備える。

本発明の実施形態の説明



【特許請求の範囲】

【請求項1】 遷移状態を示すデータを保持するラッチ手段（33）と、

該ラッチ手段（33）の出力する遷移状態と検出信号に従って、次に遷移する状態を示すデータを生成するステートコントロール手段（31）とを備え、前記ラッチ手段（33）は前記ステートコントロール手段（31）の出力するデータをクロック信号に従ってラッチすることで前次状態が遷移する状態遷移制御回路において、

外部から直接遷移状態を示すデータを入力する状態データ入力手段と、

前記ラッチ手段（33）に入力する次の遷移状態を示すデータを、前記ステートコントロール手段（31）の出力するデータと、前記状態データ入力手段の出力するデータの間に切り換える切り換え手段（32）と、

該切り換え手段（32）の切り換えを制御する制御データを外部から入力する制御データ入力手段とを備え、遷移状態を直接外部から設定可能にしたことと特徴とする状態遷移制御回路。

【請求項2】 前記状態データ入力手段と前記制御データ入力手段は、外部から直接書き込み可能なレジスタ（35）であることを特徴とする請求項1に記載の状態遷移制御回路。

【請求項3】 前記状態データ入力手段と前記制御データ入力手段は、外部端子であることを特徴とする請求項1に記載の状態遷移制御回路。

【請求項4】 状態の遷移を停止させてその時点の状態を保持する状態遷移停止手段を更に備え、

前記制御データ入力手段は、通常の動作を行わせるか、前記状態遷移停止手段を動作させて状態の遷移を停止させるかの設定を行なう遷移停止設定データ入力手段を更に備えることを特徴とする請求項1に記載の状態遷移制御回路。

【請求項5】 前記状態遷移停止手段は、前記ラッチ手段（33）の前記クロック信号の入力を実質的に停止させる回路（36）であることを特徴とする請求項1に記載の状態遷移制御回路。

【請求項6】 遷移状態を示すデータを保持するラッチ手段（33）と、

該ラッチ手段（33）の出力する遷移状態と検出信号に従って、次に遷移する状態を示すデータを生成するステートコントロール手段（31）とを備え、前記ラッチ手段（33）は前記ステートコントロール手段（31）の出力するデータをクロック信号に従ってラッチすることで前次状態が遷移する状態遷移制御回路において、状態の遷移を停止させてその時点の状態を保持する状態遷移停止手段と、

通常の動作をおこなわせるか、前記状態遷移停止手段を動作させて状態の遷移を停止させるかの設定を行なう遷移停止設定データ入力手段を備え、遷移状態を保持するこ

と可能にした状態遷移制御回路。

【請求項7】 前記状態遷移停止手段は、前記ラッチ手段への前記クロック信号の入力を実質的に停止させる回路であることを特徴とする請求項1に記載の状態遷移制御回路。

【請求項8】 周波数が随時切り換えるクロック信号を生成するPLL回路（20）と、

該PLL回路（20）の出力するクロック信号に従って通信信号を受信する受信部（18）と、

該PLL回路（20）の出力するクロック信号に従って通信信号を送信する送信部（19）と、

前記受信部（18）と前記送信部（19）の間の制御処理を行うステートマシン（17）と、

該ステートマシン（17）が行う以外の装置全体の制御処理を行うマイクロコンピュータ（1）とを備える通信端末装置において、

前記PLL回路（20）は、変更する周波数にロックしたことを示すロック検出信号（LDET）を前記ステートマシン（17）に出力し、該ステートマシン（17）

20 は前記ロック検出信号（LDET）に応じて自動的に次の制御を開始することを特徴とする通信端末装置。

【請求項9】 前記ステートマシン（17）は、前記マイクロコンピュータ（1）によって前記PLL回路（20）が変更する周波数にロックするように設定されるのに応じて、前記PLL回路（20）がロックするまで待機するロック前待機状態を備え、該ロック前待機状態において前記ロック検出信号（LDET）を受けると次の制御状態に遷移することを特徴とする請求項8に記載の通信端末装置。

30 【請求項10】 前記ステートマシン（17）の前記ロック前待機状態への遷移は、前記マイクロコンピュータ（1）の周波数チャネル起動要求又は周波数チャネル切り換え要求に応じて行われることを特徴とする請求項9に記載の通信端末装置。

【請求項11】 固定データ長のユニットデータを用いて通信を行い、該ユニットデータの空き部分には所定のファイルバーグンが挿入される通信方式の送信装置であつて、

送信データを一時的に保持するデータレジスタ（53）と、

該データレジスタ（53）に保持された送信データをシリアルデータに変換するパラレル・シリアル変換器（55）とを備える送信装置において、

前記データレジスタ（53）へのデータ入力の前には必ず前記データレジスタ（53）を初期化し、データを出力する際には、データレジスタを全てアクセスすることを特徴とする送信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号に応じて粗次状態

が変化し、その時の状態に応じて処理内容が変化する状態遷移回路。いわゆるスタートマシン、及びそのようなスタートマシンを使用して通信制御を行う通信制御方式に関する。

【0002】

【従来の技術】ゲートとラッチを組み合わせて各種の制御を行うための回路を構成することが行われており、マイクロコンピュータで行うほど複雑でない制御を行う場合や、高速の制御処理を必要とする場合等に使用される。例えば、全体の処理はマイクロコンピュータのCPUが行い、一部の制御をこのようない回路で行うといった具合に、マイクロコンピュータと組み合わせて使用する場合もある。

【0003】制御方式においては、制御の進行に応じて順次状態が遷移し、たとえ同一の信号が入力されてもその時の状態に応じて行う制御内容が変化する。このような制御の進行に応じて順次状態が遷移する方式を状態遷移方式と呼んでおり、上記のゲートとラッチを組み合わせた制御用回路、状態が遷移するものをスタートマシンと呼んでいる。

【0004】近年、デジタル方式の移動体通信が普及しつつあるが、このような移動体通信における端末装置でも、送受信の制御にスタートマシンが使用される。ここで、デジタル方式自動車電話システムを例として本発明の説明を行うが、本発明はこれに限られるものではない。図13は、デジタル方式自動車電話システムの端末装置の構成例を示す図である。

【0005】図13において、参照番号1は装置全体の制御を行うマイクロコンピュータであり、内部には中央処理装置(CPU)を有している。2は装置の使用者との間の各種の処理を行うためのマン・マシン・インターフェースであり、17はスタートマシンであり、18は受信部であり、19はマイクロコンピュータ1により書き込まれた複数ビットの送信データを、シリアルデータに変換して送信する送信部であり、20は通信に必要なクロック信号を発生させるPLL(Phase Locked Loop)回路である。自動車電話システムでは、通信に使用する周波数帯が随時変化するため、PLL回路で、通信に使用する周波数帯に対応したクロック信号を発生する。

【0006】送信と受信に直接関係する処理は高速の処理が要求される。そのため、この処理をマイクロコンピュータで行わせると、マイクロコンピュータは常時受信部18や送信部19の状態を監視する必要があり、マイクロコンピュータのパフォーマンスが低下する。そこで、これらの処理は、スタートマシン17に行わせ、マイクロコンピュータはそれ以外の処理を行うようにするのが一般的である。

【0007】図14は、従来のスタートマシンの構成を示す図である。図14において、参照番号3はステー

トコントロール回路であり、32は状態ラッ奇であり、34はスタートデコーダである。このスタートマシンは、デコード方式と呼ばれるもので、ビット数の小さな状態ラッ奇33で多数の制御信号ビットを出力できるが、スタートデコーダ34が必要である。

【0008】状態ラッ奇33は、その時点の状態を示すビットデータを記憶しており、その出力はスタートデコーダ34によってデコードされ、スタートマシン及び他の回路部分への制御信号として供給されると共に、スタートコントロール回路31に供給される。スタートコントロール回路31では、その時点の状態を示すビットデータと検出信号に応じて次の状態を示すビットデータを生成し、状態ラッ奇33に供給する。状態ラッ奇33はこのビットデータを状態遷移用のクロック信号CLKに従って、ラッ奇する。すなわち、ある状態から次の状態への遷移を指示する検出信号が入力されると、CLKの次の変化エッジに応じて状態が変化することになる。

【0009】図15は、スタートマシンの状態遷移図の例を示す図である。図15に示すように、リセットされた時に状態Aになる。状態Aにおいて、遷移条件A Bが成立すると状態Bに遷移し、遷移条件A Cが成立すると状態Cに遷移する。更に、状態Bにおいては、遷移条件B Dが成立すると状態Dに遷移する。このように、ある状態において所定の条件が成立すると別の状態に遷移するといった具合に、状態Aから状態Dまでのいづれかの状態に遷移していく。図16のタイムチャートは、この状態遷移を示す。

【0010】近年、携帯電話の需要が大きくなっています。特にデジタル携帯電話サービスにおけるセルラーワイヤレスシステムで運用が行われている。セルラーワイヤレスのセル内でも使用できる無線局波数帯が複数の更に狭い周波数帯に分割されており、携帯端末装置はその周波数帯の1つを用いて制御データ又は音声データ、情報データのやり取りを行っている。やり取りをするデータの種類として、とまり木チャンネル、制御チャンネル及び通信チャンネルが挙げられるが、これらのチャンネル毎に使用する周波数は異なる。また、移動中における連続的な通信を維持するため、必要に応じて通話中の基地局から他の基地局への切り替えが行われ、周波数の切り替えが行われる。

【0011】スタートマシンの状態遷移について、財團法人電気システム開発センターが発行するデジタル方式自動車電話システム標準規格(RCR STD-272B、以下RCR規格と称する。)のレイヤ1手順規格による移動局の状態遷移を例として、更に詳しく説明する。この規格によると、移動局の取り得る状態はF1～F11まで規定されており、その状態遷移図を図17に示す。図17の状態遷移図において、チャンネル停止状態F2からとまり木チャンネルの起動の際は、まずC P

Uはとまり木チャンネル周波数をPLL-LSIに設定する。PLLがロックしたことをCPUが認識すると、CPUよりとまり木チャンネル起動要求が発行され状態F10に遷移する。CPUがロックを検出する方法としては、PLL-LSIのロックディテクト時間をタイムで検出する方法、PLL-LSIからのロックディテクト信号を出入力ポートを介して検出する方法等が使用できる。また、通信チャンネル起動中状態F8において周波数切り換えが行われ、通信チャンネル同期中状態F5に遷移する場合においては、通信チャンネル起動中状態でPLL-LSIの周波数の切り換えが行われ、上記のロック状態をCPUが検出すると、通信チャンネル同期中状態F5に遷移する。この周波数切り換え時にかかる処理の箇所は、状態F8のままであり、周波数が定まらない状態であるためレイヤ1状態としては状態F8であるわけにはいかない。そのため、周波数切り換え時には、状態F8をマスクする処理がCPUにより施されていた。マスクの例としては、PLL-LSIに周波数を設定した時にCPUによりロックがかかるまでレイヤ1状態信号をマスクする処理を行っていた。F8からF3、F8からF10、F4からF5 F4からF10の時も同様である。

【0012】以上が、ステートマシンの状態遷移の説明であるが、ここで送信部19における処理について簡単に説明する。自動車電話システムにおいても、デジタル化が進められており、TDMA (Time Division Multiple Access) 方式が用いられるようになっている。TDMA方式においては、データの送受信は所定のバイト数のデータを1まとめてユーニットデータを単位として行う。図18は一般的なユーニットデータの構成を示す図である。一般的に、プロトコルの下位レベル（例えば物理レイヤ）で扱うこのようなユーニットデータには、上位プロトコル層の制御情報やメッセージが挿入されるが、第Kユニットのようにユーニットデータ長より上位プロトコル層のデータ長が短い場合がある。このような場合、一般的なプロトコルでは上位プロトコルの有効データがない部分は特定のフィルパターン（例えばすべて「0」）で満たすように規定されている。

【0013】図19は従来の送信部の基本構成を示す図である。図19において、参照番号53は送信データ及びフィルパターンを書き込むデータレジスタ(DR)であり、54は送信バッファとして機能するFIFO(FIFO in First Out)、55はFIFO54から出力されたパラレルデータをシリアルの送信データに変換するパラレル/シリアル変換器である。

【0014】図19の回路では、データレジスタ53に書き込まれたデータのみから送信用のデータユニットを組み立てるようになっていた。従って、マイクロコンピュータ1は、送信部19の送信データバッファ53に固定長(Nバイト)の送信データ（有効データとフィルバ

ターン）を、各送信動作毎に必ず書き込む必要があった。従って、図18に示すようなデータユニットで構成されるメッセージを送信する場合、最終ユニットである第Kユニットでは、図20のフローチャートに示す処理手順でマイクロコンピュータ1がMバイトの有効データと(N-M)バイトのフィルパターンをデータレジスタに書き込んでいた。

【0015】

【発明が解決しようとする課題】図13のような端末装置を構成する場合、ステートマシン17、受信部18、送信部19、PLL回路20は、それぞれ1個のLSIで実現されるのが一般的である。また、ステートマシン17、受信部18、及び送信部19を1個のLSIで構成する場合もある。

【0016】ステートマシン17を実現するLSI又はステートマシン17と受信部18と送信部19をまとめたLSIの試験を行う場合、ステートマシンは複数の状態を取り得るものであるが、かなずしもすべての状態について試験を行う必要はなく、特定の状態において試験を行えば正常に動作することが確かめられる。しかし、図15に示したような状態遷移を行なうステートマシンにおいて、状態Fで試験を行いたい場合、リセットして状態Aにした後状態Fまで順次遷移させてから試験を行う必要がある。いいいえれば、ステートマシンにおいて所望の状態に遷移させるためには、それ以前の状態を必ず満足させなければならないということである。図15に示したような状態遷移を行なうステートマシンにおいて、状態Fに遷移させるには、状態Aから、状態B、状態D、状態Eを経て状態Fに遷移させるか、状態Aから、状態C、状態D、状態Bを経て状態Fに遷移させる必要がある。もし、状態遷移が更に複雑なステートマシンの場合には、所望の状態に遷移させるまでに長い設定時間が必要になる。このような長い設定時間は、試験装置の使用効率を低下させ、試験コストを増大させるという問題を生じる。

【0017】更に、ステートマシンは、所定の条件が整えば遷移するが、試験を行なう上ではある状態のまま保持したい場合も起こり得る。そこで従来の装置においては、ある状態を保持させるために条件が整わないよう、内部ロジック回路及び外部からの設定を制御していた。しかし、このような制御は複雑であり、ある状態が容易に保持できることが望まれていた。

【0018】また、上記の通信端末装置においては、マイクロコンピュータが、周波数設定時PLL回路がロックしたことを検出する処理、及び周波数切り換え時にロックがかかるまでステートマシンをマスクする処理を行っているが、これではマイクロコンピュータの負担が大きくなり、処理速度の低下の問題が生じる。これを解決するため、処理能力の大きなマイクロコンピュータを使用するとコストが増加するという問題が生じる。

【0019】同様に、ユニットデータを単位として送信を行っている従来の送信装置では、データレジスタへのファイルパターンの書き込みをマイクロコンピュータが行っているが、これもマイクロコンピュータの負担を大きくし、上記のような問題を生じる。本発明は上記問題点に鑑みてなされたものであり、試験の容易なステートマシンの実現、及び通信端末装置におけるマイクロコンピュータの負担の低減を目的とする。

【0020】

【課題を解決するための手段】本発明の第1の態様の状態遷移制御回路は、遷移状態を示すデータを保持するラッチ手段と、ラッチ手段の出力する遷移状態と検出信号に従って、次に遷移する状態を示すデータを生成するステートコントロール手段とを備え、ラッチ手段はステートコントロール手段の出力するデータをクロック信号に従ってラッチすることで順次状態が遷移する状態遷移制御回路において、外部から直接遷移状態を示すデータを入力する状態データ入力手段と、ラッチ手段に入力する次の遷移状態を示すデータを、ステートコントロール手段の出力するデータと、状態データ入力手段の出力するデータの間に切り換える切り換え手段と、切り換え手段の切り換えた制御データを外部から入力する制御データ入力手段とを備えるようにしたことを特徴とする。

【0021】状態データ入力手段と制御データ入力手段は、外部から直接書き込み可能なレジスタ又は外部端子である。また、状態の遷移を停止させてその時点の状態を保持する状態遷移停止手段を更に設け、制御データ入力手段に、通常の動作を行わせるか、状態遷移停止手段を動作させて状態の遷移を停止させるかの設定を行う遷移停止設定データ入力手段を更に設ける。

【0022】状態遷移停止手段は、ラッチ手段へのクロック信号の入力を実質的に停止させる回路である。上記の状態遷移停止手段と遷移停止設定データ入力手段は、独立して従来のステートマシンに設けることもできる。本発明の第2の態様の通信端末装置は、周波数が随時切り換えられるクロック信号を生成するPLL回路と、PLL回路の出力するクロック信号に従って通信信号を受信する受信部と、PLL回路の出力するクロック信号に従って通信信号を送信する送信部と、受信部と送信部の間の制御処理を行うステートマシンと、ステートマシンが行う以外の装置全体の制御処理を行うマイクロコンピュータとを備える通信端末装置において、PLL回路は、変更する周波数にロックしたことを示すロック検出信号をステートマシンに出し、ステートマシンはロック検出信号に応じて自動的に次の制御を開始することを特徴とする。

【0023】ステートマシンは、マイクロコンピュータによってPLL回路が変更する周波数にロックするよう設定されるのに応じて、PLL回路がロックするまで

待機するロック前待機状態を備え、ロック前待機状態においてロック検出信号を受けると次の制御状態に遷移する。ステートマシンのロック前待機状態への遷移は、マイクロコンピュータの周波数チャンネル起動要求又は周波数チャンネル切り換え要求に応じて行われる。

【0024】本発明の第3の態様の送信装置は、固定データ長のユニットデータを用いて通信を行い、ユニットデータの空き部分には所定のファイルパターンが挿入される通信方式の送信装置であって、送信データを一時的に保持するデータレジスタと、データレジスタに保持された送信データをシリアルデータに変換するパラレルシリアル変換器とを備える送信装置において、ファイルパターンを発生するファイルパターン発生回路と、データレジスタへのデータの入力を、送信データが存在する間は送信データが、送信データが終了した後のユニットデータの空き部分に相当する期間はファイルパターン発生回路から出力されるファイルパターンが入力されるように切り換える書き込みデータ切り換え回路とを備えることを特徴とする。

20 【0025】

【作用】本発明の第1の態様の状態遷移制御回路によれば、状態データ入力手段に設定したい状態を示すデータを入力し、制御データ入力手段から、切り換え手段が状態データ入力手段の出力するデータをラッチ手段に出力するように切り換える制御データを入力すれば、クロック信号に応じてラッチ手段は設定したい状態を示すデータをラッチし、所望の状態になる。また、遷移停止設定データ入力手段を介して、状態遷移停止手段が状態の遷移を停止させてその時点の状態を保持するようにすれば、その時点の状態が保持できる。

【0026】本発明の第2の態様の通信端末装置によれば、PLL回路は、変更する周波数にロックしたことを示すロック検出信号をステートマシンに出力し、ステートマシンはロック検出信号に応じて自動的に次の制御を開始するため、マイクロコンピュータは従来行っていた周波数設定時のPLL回路がロックしたことを検出する処理、又は周波数切り換え時にロックがかかるまでステートマシンをマスクする処理を行う必要がなくなり、処理の負担が軽減される。

【0027】本発明の第3の態様の送信装置によれば、書き込みデータ切り換え回路が、送信データが存在する間は送信データが、送信データが終了した後のユニットデータの空き部分に相当する期間はファイルパターン発生回路から出力されるファイルパターンがデータレジスタへ入力されるように切り換えるため、マイクロコンピュータは従来行っていたファイルパターンの書き込み動作を行わなくともよいため、負担が軽減される。

21 【0028】

【実施例】図1は、以下に説明する本発明の第1乃至第3実施例が行われる携帯型通信端末装置の全体構成を示

す図である。図1において、参照番号11は中央処理装置(CPU)であり、12はROMであり、13はRAMであり、14はシステムバスであり、15はシステム用のRAMであり、16は出入力ポートであり、これらでマイクロコンピュータを構成する。17はステートマシンであり、18は受信部であり、19は送信部であり、20は通信のためのクロック信号を発生するPLL回路である。この端末装置が運用される通信システムでは、このシステムに割り当てられた周波数帯を更に狭い周波数帯のチャンネルに分割し、やり取りするデータの種類や通信先の基地局の切り換え等に応じて随時チャンネルを切り換える。

【0029】チャンネルを切り換える毎にPLL回路20は、発生するクロック信号を変更する必要がある。PLL回路20でのクロック信号の周波数の変更は、マイクロコンピュータがPLL回路20のレジスタをアクセスし、レジスタの内容を変更することによって行われるが、PLL回路が所定の周波数にロックするにはレジスタの変更後、ある程度の時間を要する。従来は、マイクロコンピュータがPLL回路がロックしたことを検出した後、ステートマシンに起動要求を出しており、その間の処理をマイクロコンピュータが行っていた。PLL回路がロックしたことを検出す方法としては、PLL回路20からのロッキングティク信号を入力ポート16を介して検出する方法や、レジスタの変更後PLL回路が所定の周波数にロックするまでに要する時間よりある程度長い時間を設定し、その時間をカウントした時点ではロックしたものと見なして、それ以後の処理を行っていた。いずれにしろ、この間の処理はマイクロコンピュータが行っていた。チャンネルの切り換えの間通信が途切れため、チャンネルの切り換えに要する時間はできるだけ短いことが必要であり、マイクロコンピュータはこの処理の間常にロックティク信号を監視したり、タイマを監視する必要があり、他の処理を行うことはできなかった。

【0030】以上が本発明の実施例が行われる構成型通信端末装置の全体構成の説明であり、以下各実施例について説明する。第1実施例は、図1のステートマシンの部分に本発明の第1の態様を適用した実施例であり、図2にそのプロック構成図を示す。図2において、参照番号31はステートコントロール回路であり、33は状態ラッ奇、34はステートデコーダであり、これらの部分は図14に示した従来例と同じである。図14と比較して明らかのように、図2では、レジスタ35と、切り換え回路(SEL)32と、ANDゲート36とが新たに設けられている。切り換え回路(SEL)32は、レジスタ35の1ビットの信号に応じて、ステートコントロール回路31の出力するデータとレジスタ35の6ビットが表示するデータのいずれかを選択して、状態ラッ奇33に出す選択回路である。

【0031】図3はレジスタ35のビット構成と各ビットの機能を示す図である。図3に示すように、レジスタ35は8ビットで構成され、最上位ビットD7は状態遷移モードビットであり、D6は状態遷移保持モードビットであり、D5～D0は状態遷移コードビットである。通常動作を行わせる時にはD7を「0」に、レジスタ35のD5～D0で設定される状態コードにする時にはD7を「1」に設定する。従って、切り換え回路(SEL)32は、D7が「0」に時にはステートコントロール回路31の出力するデータを選択する。従って、この場合には、通常のステートマシンをし、その時点の状態と検出信号に応じて状態が変化する。D7が「1」に時にはレジスタ35のD5～D0のデータを選択し、ステートマシンは、D5～D0のデータが示す状態に設定される。

【0032】前述のように、このステートマシンはステートデコーダ34を備えており、状態を表すビットデータをデコードして状態を示す信号を生成するデコード方式と呼ばれる方式のものである。ここでは、レジスタ35のD5～D0が状態遷移コードビットに割り当てられており、全部で64通りの状態を設定できるが、実際に取り得る状態の個数がこれと等しい必要はなく、レジスタ35で設定できる状態の個数は実際に取り得る状態の個数以上であればよい。

【0033】ANDゲート36には、クロック信号CLKと状態遷移保持モードビットD6の反転したデータが入力され、その出力は状態ラッ奇33にクロック信号として入力される。従って、D6が「0」の時には状態ラッ奇33にクロック信号CLKが入力され、通常のステートマシンの動作が行われる。D6が「1」の時には状態ラッ奇33にはクロック信号が入力されなくなるため、ラッ奇しているデータがそのまま保持される。従って、D6が「0」の時には通常動作、「1」の時には状態が保持されることになる。

【0034】図4は、第1実施例のステートマシンが図15のような状態遷移を行なうとした場合の状態遷移を示すタイマチャートである。図4に示すように、リセットすると、状態Aになり、D7とD6が「0」であれば、それぞれの遷移条件が成立した時に状態が遷移する。

47 状態Aの時に、状態遷移コードD5～D0を「000101」、すなはち状態Fに設定し、D7を「1」にすると、次のクロック信号CLKの立ち上がりで、ステートマシンは状態Fに設定される。この状態で、D7を「0」に戻し、条件F Aを成立するようにすると、状態Aに遷移する。また、状態遷移コードD5～D0を任意のデータ、例えば状態Fを表す「000101」に設定した上で、D7を「1」にしても、D6が「1」であればそれまでの状態Aが保持される。

【0035】なお、外部から状態の設定だけを行うのであるが、レジスタ35のD6及びANDゲート36はな

くてもよく、逆にデータの保持を行う必要がないのであれば、切り替え回路 (SEL) 3 2 及びレジスタ 3 5 のビット D 7, D 5 ~ D 0 がなくてもよい。本発明の第 2 実施例は図 1 に示した全体構成を有する携帯型通信端末装置であり、PLL 回路 2 0 のロックディテクト信号 LDET がステートマシン 1 7 に出力され、ステートマシン 1 7 から周波数設定要求信号 ISET が割り込み信号として CPU 1 1 に出力される点が従来例と異なる。

【0036】図 5 は第 2 実施例の装置のステートマシン 1 7 の状態遷移図である。この状態遷移図は、図 1 の状態遷移図に対応する RCR 格規のレイヤ 1 の状態遷移図である。2 つの図を比較して明らかなように、第 2 実施例では、切り替え用のとまり木チャンネル起動前状態 F 1 0'、制御チャンネル起動前状態 F 3'、通信チャンネル起動前状態 F 5'、通信チャンネル再起動前状態 F 1 1' が新たに設けられている点が従来例とは異なる。

【0037】図 6 は、第 2 実施例における状態遷移のタイムチャートである。この図を参照しながら第 2 実施例での処理を説明する。従来の装置においては、チャンネル起動時又はチャンネル切り替え時においては、CPU 1 1 が起動又は切り替え先の周波数にロックしたことを監視し、チャンネル起動要求を発行していた。これに対して、本実施例においては、CPU 1 1 はチャンネル起動又はチャンネル切り替えを行いたい時に、チャンネル起動要求を発行し、周波数設定要求 ISET が割り込み信号として CPU 1 1 に通知されるPLL 回路 2 0 に対して周波数を設定する。チャンネル起動要求が CPU 1 1 より発行されると、ステートマシン 1 7 は起動前状態に遷移する。例えば、通信チャンネル起動中状態 F 8' ととまり木チャンネル起動要求が CPU 1 1 から発行されると、とまり木チャンネル起動前状態 F 1 0' に遷移する。この状態に遷移することによって、状態 F 8 から抜け出るなり、周波数切り替え前状態をマスクする処理が不要になり、CPU 1 1 とレイヤ 1 の制御を行なうステートマシン 1 7 のハンドシェイク処理が確実に行われることになる。ステートマシン 1 7 は、この起動前状態で、PLL 回路 2 0 からのロックディテクト信号 LDE T を受けると自動的に次の状態に遷移する。

【0038】以上のように、CPU が周波数切り替え時の状態をマスクする必要もなくなり、PLL 回路のロック状態を検出する必要がなくなる。また、チャンネル起動またはチャンネル切り替え時において要求が発行されると、CPU 1 1 に対して PLL 回路への周波数設定要求が割り込み信号として出力される。従って、CPU 1 1 が割り込みが発生すると PLL 回路に対して周波数データを設定すればよい。これにより、従来 PLL 回路がロックしたことをタイムチャートで監視している場合のタイムロス及びロックディテクト信号を監視していた場合の CPU の負担がなくなることになる。更に、これにより CPU の制御

ファームの制御が簡素になる。

【0039】第 3 実施例は、図 1 の送信部 1 9 に本発明の第 3 に態様を適用したものであり、その基本構成を図 7 に示す。図 7 において、5 3 は送信するデータを一時的に保持するデータレジスタであり、5 5 はデータレジスタ 5 3 に保持されたデータを通信用のシリアルデータに変換するパラレル・シリアル変換器である。CPU 1 1 は、送信部 1 9 を 1 バイト単位でアクセスするので、ファイルバターンも 1 バイトデータであり、データレジスタも 1 バイトを単位とする。従って、パラレル・シリアル変換器 5 5 は 8 ビットを 1 ビットのシリアルデータに変換する。更に、ユニットデータは 8 バイトであり、データレジスタ 5 3 は、1 バイト単位で 8 バイト分の重量を有する。CPU 1 1 からの送信データのデータレジスタへの書き込みが終了すると、書き込み終了信号 LSI がに出力される。なお、以下の例では、ファイルバターンはすべてのビットが「0」のパターンとする。

【0040】図 8 はデータレジスタ 5 3 の一部を構成する入力データバッファの構成例であり、ここではユニットデータは 8 バイトであり、入力データバッファも 8 バイト分であり、8 個の 1 バイトバッファ BUF 0, BUF 1, ..., BUF 7 がある。各データバッファの書き込み信号 BUF 0 WE, BUF 1 WE, ..., BUF 7 WE は図の回路によって生成される。1 バイトの書き込みを行う毎に書き込み信号 DWE が CPU 1 1 から出力され、これをデータカウンタ 7 0 でカウントする。書き込みが行われる毎にカウント値が増加するので、それをデータカウントラッチ 7 1 でラッチし、それをデコード 7 3 でデコードすると、出力が「1」になるビット位置が順次移動する。このデコード 7 2 の出力と DWE を AND ゲート 7 3, 7 4, ..., 7 5 に入力し論理和をとると、各 AND ゲートの出力 BUF 0 WE, BUF 1 WE, ..., BUF 7 WE は、最初の書き込み時には BUF 0 WE の出力が「1」になり、次は BUF 1 WE が「1」になるという具合に、書き込み毎に順次「1」になる。

【0041】従って、入力データ D T は、入力順に BUF 0 および格前されていき、送信データがユニットデータの 8 バイトより小さい場合には、書き込まれないデータバッファが生じることになる。後述するように、1 回のユニットデータの書き込みと送信が終了する毎に、各データバッファは初期化され、各データバッファのビットは「0」に設定されるので、送信データが書き込まれないデータバッファの各ビットは「0」のままである。これがファイルバターンである。データバッファに書き込まれたデータは、パラレル・シリアル変換器 5 5 に送出される。図 8 のマルチブレクサ (MPX) 6 8 は、データバッファ BUF 0, BUF 1, ..., BUF 7 に格納されたデータからパラレル・シリアル変換器 5 5 に出力するデータを選択する回路であり、読み出し信号 BUF 0 RE, BUF 1 RE, ..., BUF 7 RE に従ってど

13

のデータバッファのデータを出力するか選択する。

【0042】各データバッファは8ビット構成であり、1個のデータバッファのデータは、通信用クロック信号CKの8カウントでシリアルデータに変換される。従って、8カウントのCK毎に読み出し信号を変化させて読み出すデータバッファを変更すると共に、パラレル・シリアル変換器5にそのデータをラッチさせる信号PSLDを出力する必要がある。

【0043】図10は、BUF0RE、BUF1RE、…、BUF7RE、PSLD及び上記の各データバッファを初期化する信号LDENDを生成する回路を示す図である。図10において、ビットカウンタ76は、上記の各データバッファの8ビット分のクロックCKをカウントするカウンタであり、それが8ビットカウントしたことをコンバーラー77が検出するとPSLDを出力する。ビットカウンタ76は8ビットをカウントするとキャリィCを発生するので、これをバイトカウンタ78でカウントする。バイトカウンタ78は何番目のデータバッファを読み出すかを示しており、その値をデコード79でコードして組み合わせ回路80でPSLDと論理積をとるとBUF0RE、BUF1RE、…、BUF7REが得られる。バイトカウンタ78は「8」をカウントするとLDENDを発生するようになっており、LDENDによってデータバッファの各ビットを「0」に初期化する。

【0044】次に上記のような1バイトのデータバッファが8個あり、すなはち送信のデータユニットが8バイトで、送信するデータが5バイトしかない場合を例とした第3実施例のタイムチャートを図11と図12に示す。図11が書き込みの動作におけるタイムチャートを、図12が送信動作におけるタイムチャートを示す。書き込み動作においては、各データバッファBUF0～BUF7は初期化されており、図11に示すように、CPUから書き込み信号DWEと書き込みデータが5回入力され、データバッファBUF0～BUF4にデータが格納される。書き込みの行わないデータバッファBUF5～BUF7の各ビットは「0」である。データ書き込み終了信号DLが入力されると、送信動作が開始される。

【0045】送信動作においては、図12に示すように、1個のデータバッファの8ビットのデータをPSLDに従ってパラレル・シリアル変換器5にラッチし、クロック信号CKに従って、シリアルデータに変換する。1個のデータバッファの8ビットのデータの変換が終了すると次のデータバッファのデータをシリアルデータに変換する。これを8個のデータバッファ分繰り返す。よってデータの書き込まれていないBUF5～7には自動的にフィルパターンが格納される。

【0046】以上、第3実施例の送信部について説明したが、ここでは説明を簡単にするために、データバッ

ファの書き込みが終了した後送信を開始するものとして説明したが、通常は図19に示すようなFIFO(First In First Out)回路を使用することにより、データバッファへの書き込みを開始すると同時にデータの送信を開始する。FIFO回路は、図8乃至図10の回路にFIFO動作を行わせるような制御回路を付加することにより実現できる。FIFO回路は従来から広く使用されており、それ自体は直接本発明に関係しないので、ここで説明を省略する。

【0047】以上のように、送信部内部でフィルパターンを発生することにより、CPU11はフィルパターンの発生及び転送を行う必要がなくなり、CPUの負担が軽減される。それと共に、データ転送によるデータバスの専有率が低減するためにシステム全体のパフォーマンスも向上する。従って、処理能力の低い安価なCPUの使用や動作クロックの遅い低消費電力のCPUの使用が可能になる。

【0048】

【発明の効果】以上説明したように、本発明によれば、試験の容易なステートマシンが実現されると共に、通信端末装置におけるマイクロコンピュータの負担が低減される。

【図面の簡単な説明】

【図1】本発明の実施例の全体構成図である。

【図2】本発明の第1実施例のステートマシンの回路構成を示すブロック図である。

【図3】第1実施例における状態遷移入力レジスタ出力の概要を示す図である。

【図4】第1実施例の状態遷移タイムチャートである。

【図5】本発明の第2実施例の状態遷移図である。

【図6】第2実施例の状態遷移タイムチャートである。

【図7】本発明の第3実施例の送信部の基本構成を示す図である。

【図8】第3実施例のデータバッファとパラレル・シリアル変換器の構成を示す図である。

【図9】図8の信号を発生する回路(その1)を示す図である。

【図10】図8の信号を発生する回路(その2)を示す図である。

【図11】第3実施例のデータバッファへのデータの書き込み動作を示すタイムチャートである。

【図12】第3実施例の送信動作を示すタイムチャートである。

【図13】従来の通信端末装置の構成例を示す図である。

【図14】従来のステートマシンの構成を示す図である。

【図15】従来のステートマシンの状態遷移図の例を示す図である。

【図16】従来のステートマシンの状態遷移タイムチャ

ートを示す図である。

【図17】従来の通信制御ステートマシンの状態遷移図である。

【図18】通信におけるユニットデータの構成例を示す図である。

【図19】従来の送信部の構成を示す図である。

【図20】従来方式によるデータ書き込み処理を示すフローチャートである。

【符号の説明】

1…マイクロコンピュータ

1 1…CPU

1 7…ステートマシン

1 8…受信部

1 9…送信部

2 0…P-L-L回路

3 1…ステートコントロール回路

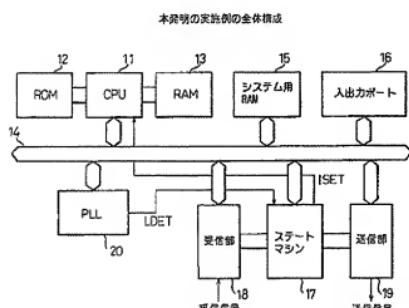
3 2…状態ラッチ

3 3…ステートデコーダ

3 4…切り換え回路

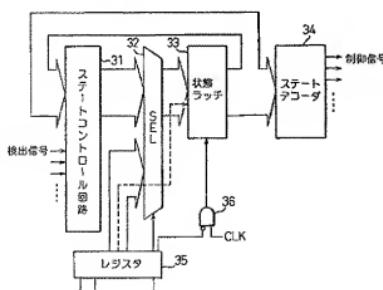
10 3 5…レジスタ

【図1】



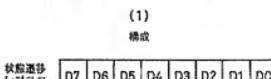
【図2】

第1実施例のステートマシン



【図3】

第1実施例状態遷移レジスタの概要

(2)
ビット説明

ビット番号	ビット説明
D7	状態遷移モードビット 0: 通常動作 1: 状態遷移設定モード
D6	状態遷移保持モードビット 0: 通常動作 1: 状態保持
D5~D0	状態遷移コード 000000: 状態a 000001: 状態b 000010: 状態c 000011: 状態d 000100: 状態e 000101: 状態f

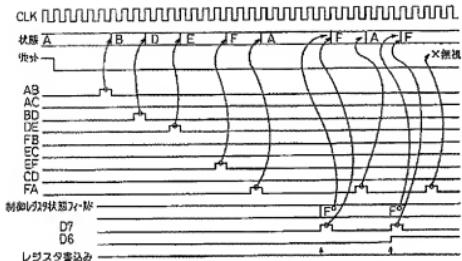
【図7】

第3実施例の送信部の基体構成



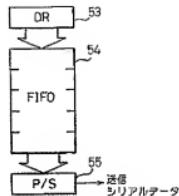
【図4】

第1実施例の状態遷移タイムチャート



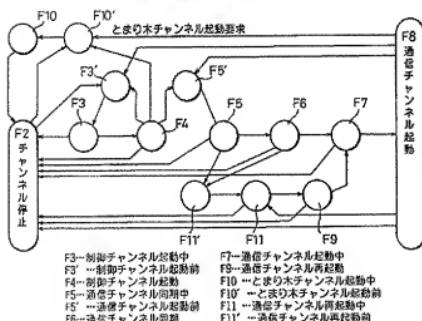
【図19】

従来の送信部の構成



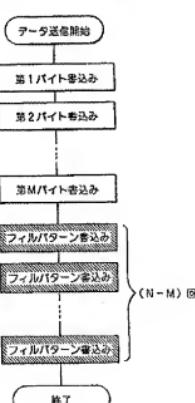
【図5】

第2実施例の状態遷移図



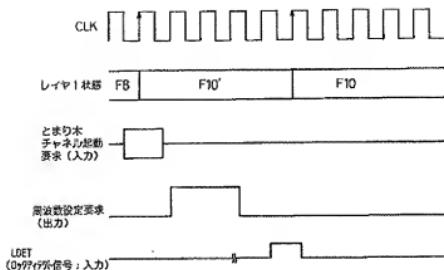
【図20】

従来方式によるデータ書き込み処理



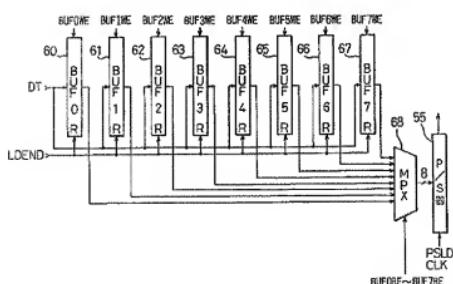
【图6】

第2実施例での状態遷移タイムチャート



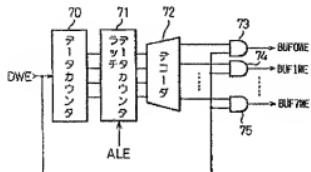
[图8]

3.3 実施例のデータ(3.2.3とP/S交換率)



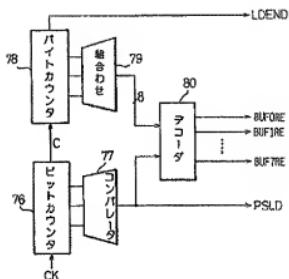
【図9】

図8の信号を発生する回路（その1）



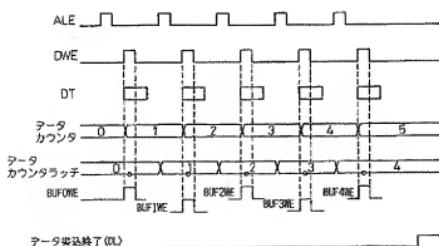
【図10】

図8の信号を発生する回路（その2）

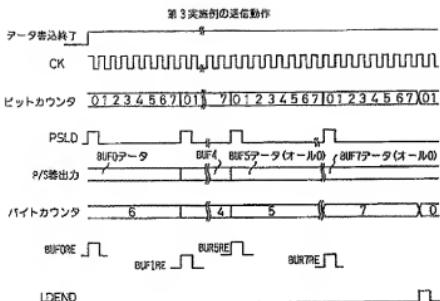


【図11】

第3実施例のデータバッファへの書き込み動作



【図12】

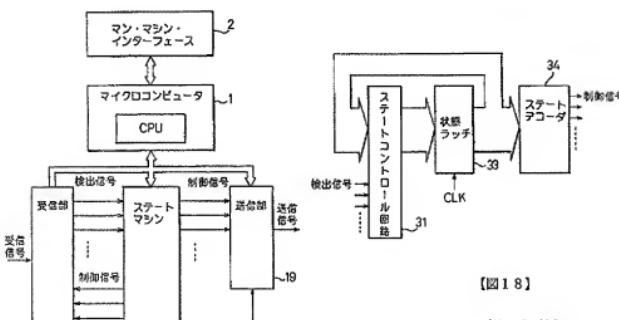


【図13】

【図14】

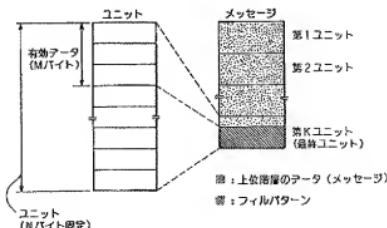
通信端末装置構成例

従来のステートマシンの構成

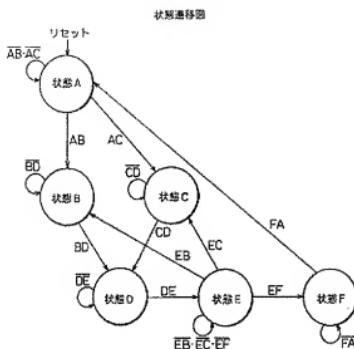


【図18】

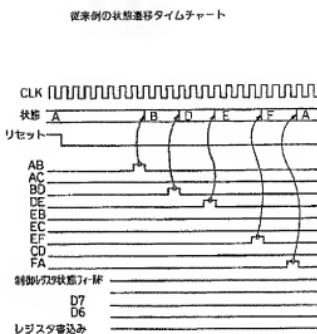
ユニットデータの構成



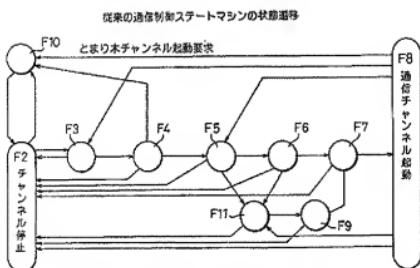
【図15】



【図16】



【図17】



F3...制御チャンネル起動中
 F4...制御チャンネル起動
 F5...通信チャンネル起動中
 F6...通信チャンネル起動
 F7...通信チャンネル起動中
 F8...通信チャンネル起動
 F9...通信チャンネル起動
 F10...とまり木チャンネル起動中
 F11...通信チャンネル再起動